

PENSUM

INF3400 - spring 2013

Contents

1	Kjede med porter	2
1.1	Logisk effort for portene	2
1.2	Kritisk signalvei	2
1.3	Logisk effort for kritisk signalvei	2
1.4	Kjedens elektrisk effort	2
1.5	Kjedens forgreiningseffort	2
1.6	Kjedens effort	3
1.7	Optimal effort for portene	3
1.8	Parasittisk tidsforsinkelse	3
1.9	Minimum kjedeforsinkelse	3
1.10	Transistorstørrelse	3
1.11	Eksempel	4
2	Komplementær CMOS	6
2.1	Transistorstørrelse slik at "Worst case" stige- og falltid blir like	6
2.2	Transistorstørrelse slik at den minste stige- og falltid blir like	6
2.3	Forsinkelsesmodeller	6
2.3.1	Enkel modell	6
2.3.2	Worst Case (masse C'er)	6
2.3.3	Elmore	7
2.4	Fan-out	7
2.5	Eksempel	7
3	Resistans	8
3.1	Serie	8
3.2	Parallell	8
4	Teori	9
4.1	Kanallengdemodulasjon	9
4.2	Hastighetsmetning	10
4.3	Latchup	10
4.4	Forsterkning	11
4.5	Støymargin	11
4.6	Robusthet	11
4.7	Dynamisk og statisk logikk	11
4.8	Dynamisk og statisk effektforbruk	11
4.9	Dynamisk vs. statisk vippe/flipflop	12
4.10	Teknologiutvikling (liten transistorlengde)	12
4.11	Lav forsyningspenning	12
4.12	Strøm som funksjon av V_{gs} for ulike V_{ds}	13
4.13	Strøm som funksjon av V_{ds} for ulike V_{gs}	14
4.14	Strøm som funksjon av V_g for ulike V_{sb}	15
4.15	Body effect	15
4.16	Crosstalk	15
4.17	Induktans	15

1 Kjede med porter

1.1 Logisk effort for portene

$$g_i = \frac{C_i}{C_{inv}} = \frac{C_i}{3} \quad (1)$$

n-inputs;

NAND: $\frac{2n}{3}$

NOR: $\frac{2n+1}{3}$

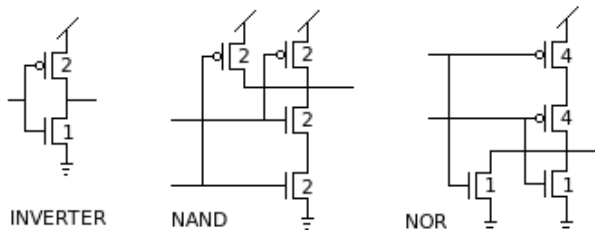


Figure 1: Inverter, NAND, NOR

$$\text{INV: } g_{inv} = 1 \quad \text{NAND: } g_{2nand} = \frac{4}{3} \quad \text{NOR: } g_{2nor} = \frac{5}{3}$$

1.2 Kritisk signalvei

Den veien som har størst kjedeforsinkelse (D).

1.3 Logisk effort for kritisk signalvei

$$G = \prod g_i = g_1 \cdot g_2 \cdot \dots \cdot g_{i-1} \cdot g_i \quad (2)$$

1.4 Kjedens elektrisk effort

$$H = \frac{C_{out(path)}}{C_{in(path)}} \quad (3)$$

1.5 Kjedens forgreiningseffort

$$B = \prod b_i = b_1 \cdot b_2 \cdot \dots \cdot b_{i-1} \cdot b_i \quad (4)$$

$$b_i = \frac{C_{onpath} + C_{offpath}}{C_{onpath}} \quad (5)$$

1.6 Kjedens effort

$$F = G \cdot B \cdot H \quad (6)$$

1.7 Optimal effort for portene

$$f' = F^{\frac{1}{N}} \quad (7)$$

N = antall porter i kjeden

1.8 Parasittisk tidsforsinkelse

$$P = \sum p_i = p_1 + p_2 + \dots + p_{i-1} + p_i \quad (8)$$

$p_i \approx$ antall innganger for port

1.9 Minimum kjedeforsinkelse

$$D = N \cdot f' + P \quad (9)$$

Dersom man ikke har alle verdier for å regne ut minimum kjedeforsinkelse, er det vanlig å anta at parasittisk tidsforsinkelse utgjør halvparten av kjedeforsinkelsen.

1.10 Transistorstørrelse

Strørrelse relateres til inngangskapasitans.

$$i = C_{inngang} g_i = \frac{C_{ekstern} g_i}{f'} \quad (10)$$

INV

$$\begin{aligned} \text{PMOS} &= \frac{2}{3} \cdot i \\ \text{NMOS} &= \frac{1}{3} \cdot i \end{aligned}$$

NAND

$$\text{PMOS} = \text{NMOS} = \frac{1}{2} \cdot i$$

NOR

$$\begin{aligned} \text{PMOS} &= \frac{4}{5} \cdot i \\ \text{NMOS} &= \frac{1}{5} \cdot i \end{aligned}$$

OBS! Dersom under minimum transistor-bredde, dimensjoner opp.

1.11 Eksempel

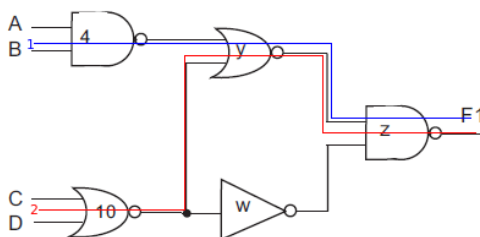


Figure 2: Eksamen 2012

Fan-out = 4

Logisk effort for portene INV: $g_w = 1$ NAND: $g_z = \frac{4}{3}$ NOR: $g_y = \frac{5}{3}$

Kritisk signalvei

Vi ser at antall porter og parasittisk tidsforsinkelse (P) er lik for begge veier. Vi må derfor se hvilken vei som har størst effort.

$F_1 =$

$$G = \frac{4}{3} \cdot \frac{5}{3} \cdot \frac{4}{3} = \frac{80}{27}$$

$$B = 1$$

$$H = \frac{12}{4}$$

$$= \frac{80}{9}$$

$F_2 =$

$$G = \frac{5}{3} \cdot \frac{5}{3} \cdot \frac{4}{3} = \frac{100}{27}$$

$$B = \frac{y+w}{y} \rightarrow g_y \cdot y = g_w \cdot w \rightarrow 1 \cdot y = \frac{5}{3} \cdot w \rightarrow B = \frac{\frac{5}{3}w+w}{\frac{5}{3}w} = \frac{8}{5}$$

$$H = \frac{12}{10}$$

$$= \frac{64}{9}$$

Siden $F_1 > F_2$ er vei nr. 1 kritisk signalvei.

Logisk effort for kritisk signalvei

$$G = \frac{4}{3} \cdot \frac{5}{3} \cdot \frac{4}{3} = \frac{80}{27}$$

Branch effort for kritisk signalvei

$$B = 1$$

Elektriske effort for kritisk signalvei

$$H = \frac{12}{4}$$

Effort for kritisk signalvei

$$F = GBH = \frac{80}{9}$$

Optimal effort for portene

$$f' = F^{\frac{1}{N}} = \left(\frac{80}{9}\right)^{\frac{1}{3}}$$

Minimum kjedeforsinkelse

$$D = N \cdot f' + P = 3 \cdot \left(\frac{80}{9}\right)^{\frac{1}{3}} + 6 \approx 12,21$$

Transistorstørrelser

Vi får oppgitt at vi skal finne transistorstørrelser for minimum kjedeforsinkelse når parasittisk tidsforsinkelse utgjør halvparten av kjedeforsinkelsen. Det vil da si, når;

$$P = N \cdot f' \rightarrow f' = 2$$

$$z = \frac{12 \cdot \frac{4}{3}}{2} = \frac{24}{3} = 8$$

$$\text{PMOS} = \text{NMOS} = 4$$

$$y = \frac{8 \cdot \frac{5}{3}}{2} = \frac{20}{3}$$

$$\text{PMOS} = \frac{20}{3} \cdot \frac{4}{5} = \frac{100}{15} \approx 5,7$$

$$\text{NMOS} = \frac{20}{3} \cdot \frac{1}{5} = \frac{20}{15} \approx 1,3$$

$$x = 4$$

$$\text{PMOS} = \text{NMOS} = 2$$

2 Komplementær CMOS

Man lager først nedtrekket etter følgende konvensjon;

$A + B \rightarrow A$ og B i parallell

$AB \rightarrow A$ og B i serie

Man skal da ta det som er tyngst å dra, nærmest kilden.

Så tar man komplement av kretsen som opptrekk.

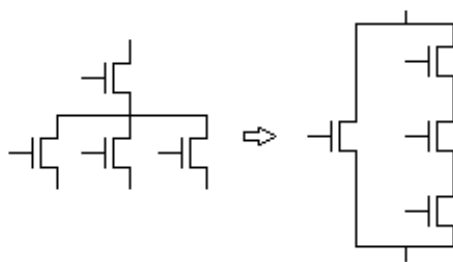


Figure 3: Komplement av krets

2.1 Transistorstørrelse slik at "Worst case" stige- og falltid blir like

Betingelse: mobilitetsforskjellen mellom nMOS og pMOS transistor er;

$$\mu_n = 2\mu_p$$

Man setter signalene slik at man får "worst case" opptrekk og nedtrekk. Og ser deretter på max antall transistorer i serie, og dimensjonerer etter dette.

2.2 Transistorstørrelse slik at den minste stige- og falltid blir like

Betingelse: mobilitetsforskjellen mellom nMOS og pMOS transistor er;

$$\mu_n = 2\mu_p$$

I dette tilfellet vil "best case" være når alle portene i opptrekk/nedtrekk er åpne.

2.3 Forsinkelsesmodeller

$$\tau = 3RC$$

$t_{parasitic}$ (uten ekstern last),

ellers; t_{pd}

2.3.1 Enkel modell

I denne modellen ser vi kun på utgangsnoden.

2.3.2 Worst Case (masse C'er)

Tar med alle kapasitanser som kan nås.

2.3.3 Elmore

$$t_{pd} = \sum_{i=1}^N C_i \sum_{j=1}^i R_j$$

$$t_{pd} = \sum_{i=1}^N \left(C_i \sum_{j=1}^i R_j \right),$$

der N er antall RC-elementer i en RC-kjede.

I denne modellen vil kun kapasitanser sett i forhold til noder man møter tas med.

2.4 Fan-out

Antall enhetsinverte som utgangen skal drive.

2.5 Eksempel

$$Y = \overline{(A + C)(B + DE)}$$

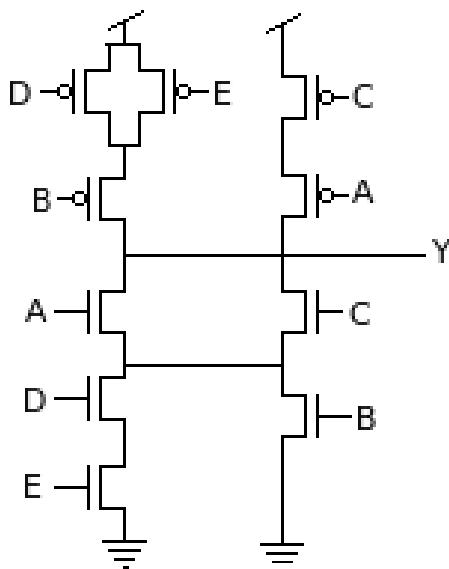


Figure 4: Y

Finn transistorstørrelser slik at "worst case" stige- og falltid blir like "Worst case";

Nedtrekk: $A = B = 0, C = D = E = 1$

Opptrekk: $A = B = E = 0, C = D = 1$

$\rightarrow w_p = 4, w_n = 3$

Finn transistorstørrelser slik at den minste stige- og falltid blir like

”Best case”;

Nedtrekk: $A = B = C = D = E = 1$

$$R_d = \left(\left(\frac{1}{w_n} + \frac{1}{w_n} \right) \parallel \frac{1}{w_n} \right) + \left(\frac{1}{w_n} \parallel \frac{1}{w_n} \right) = \frac{2}{3w_n} + \frac{1}{2w_n} = \frac{7}{6w_n} R$$

Opptrekk: $A = B = C = D = E = 0$

$$R_u = \left(\left(\frac{1}{w_p} \parallel \frac{1}{w_p} \right) + \frac{1}{w_p} \right) \parallel \left(\frac{1}{w_p} + \frac{1}{w_p} \right) = \left(\frac{1}{2w_p} + \frac{1}{w_p} \right) \parallel \frac{2}{w_p} = \frac{6}{7w_p} R$$

$$R_d = R_u$$

$$\frac{7}{6w_n} = \frac{6}{7w_p}$$

$$49w_p = 36w_n$$

$$\frac{w_p}{w_n} = \frac{36}{49}$$

$$w_n = 1 \rightarrow w_p = \frac{36}{49}$$

Forsinkelsesmodell

$$\text{Fan-out} = 4 \quad C = B = 1, A = D = E = 0$$

Enkel modell:

$$t_{pd} = (2 \cdot w_p + 2 \cdot w_n + 3 \cdot 4)RC = 26RC$$

Elmore:

$$t_{pd} = \frac{R}{3}(4 \cdot w_n)C + \left(\frac{1}{3} + \frac{1}{3} \right)R(2 \cdot w_n + 2 \cdot w_p + 12)C = 4RC + \frac{52}{3}RC \approx 21,3RC$$

3 Resistans

3.1 Serie

$$R = R_1 + R_2 + \dots + R_{i-1} + R_i \quad (11)$$

3.2 Parallell

$$R = \frac{1}{\frac{1}{R_1} + \frac{1}{R_1} + \dots + \frac{1}{R_{i-1}} + \frac{1}{R_i}} \quad (12)$$

R vil alltid være mindre eller lik den minste R_i

4 Teori

4.1 Kanallengdemodulasjon

Tar med i beregning at den effektive kanallengden blir redusert i metning. Denne reduksjonen vil være uavhengig av transistor-legden. Det vil da si at når transistorene blir mindre, vil kanallengdemodulasjon være nødvendig.

Strømmen øker når drain/source-spenningen øker.

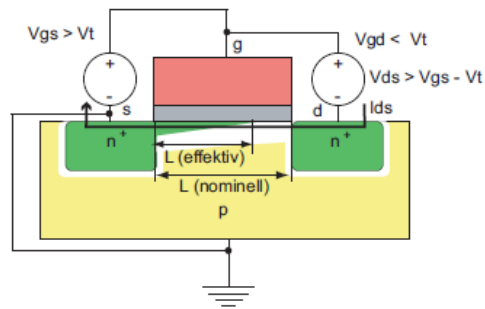


Figure 5: Tverrsnitt transistor i metning, kanallengde

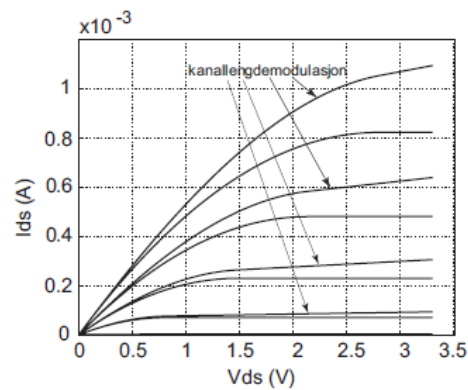
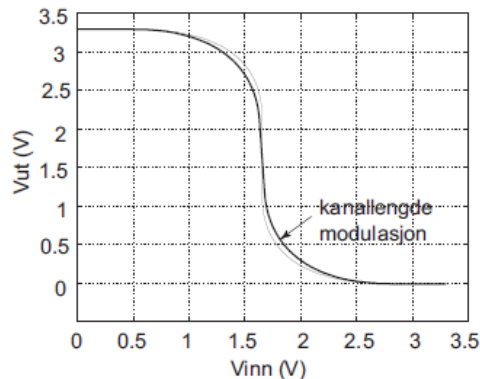
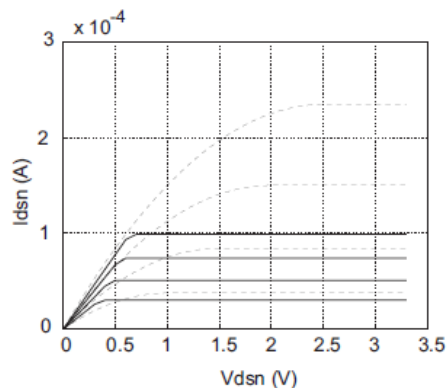


Figure 6: Strøm som funksjon av V_{ds} for ulike V_{gs} , kanallengde

Figure 7: V_{ut} som funksjon av V_{inn} , kanallengde

4.2 Hastighetsmetning

Hastighetsmetning forekommer ved at små transistorer (under $1 \mu\text{m}$) har kort kanallengde, og derfor også ett kraftigere felt over kanalen. Dette fører til at transistorene går raskere i metning. Det skjer fordi det kraftige elektriske feltet gir ladningsbærerne en så stor energi at de kolliderer forholdsvis ofte. Hastighetsmetning forekommer for mindre drain/source-spenning (raskere) når kanallengden blir redusert. Ved hastighetsmetning vil en styrkning av feltet (økning av drain/source-spenningen) øke strømmen.

Figure 8: Strøm som funksjon av V_{ds} for ulike V_{gs} , hastighetsmetning

4.3 Latchup

I CMOS teknologi, er det en rekke bipolare transistorer. I CMOS-prosesser, kan disse transistorer skape problemer når kombinasjonen av n-/p-brønn og substrat resulterer i dannelsen av parasittiske n-p-n-p strukturer. Dette fører til en kortslutning mellom VDD og GND, vanligvis resulterer dette i ødeleggelse av chip, eller en systemfeil som bare kan låses ved å slå av/på.

Kortslutning mellom GND og VDD grunnet bipolare transistorer mellom brønn, substrat of diffusjon. Forårsakes av ytre spenningspåvirkninger.

- Kortere $L \rightarrow$ øker sjansen for latchup
- Lavere VDD \rightarrow øker sjansen for latchup, men krever minst 0.7 V. (under der trengs ikke å koble til sub-

stratet)

Fikses ved å slå av/på.

4.4 Forsterkning

Viktig for å opprettholde verdier.

+ robusthet

+ støymargin

4.5 Støymargin

Har med robusthet å gjøre. Om verdier er tilstrekkelig når de logiske verdiene 0 og 1.

For å øke støymargin \rightarrow øk lengden på transistorene (dette gir dårligere hastighet).

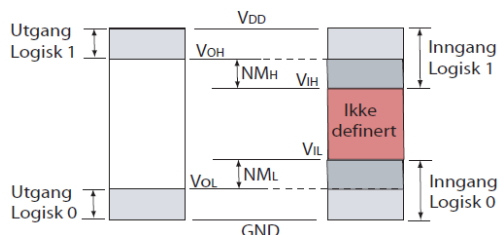


Figure 9: Støymarginer

4.6 Robusthet

For å øke robusthet kan vi øke lengden (og da også støymarginen) til transistorene. Dette gir dårligere hastighet. Man kan legge til kretser som oppdaterer signalene (f.eks. to invertere i løkke). Det kan også brukes redundans (to porter istedenfor 1). F.eks;

De to siste mulighetene vil da også øke areal.

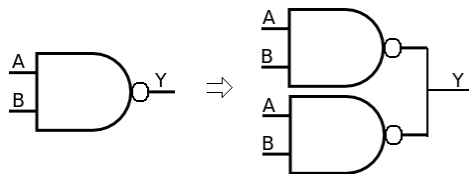


Figure 10: Redundans

4.7 Dynamisk og statisk logikk

Dynamisk logikk \rightarrow f.eks. precharge logikk

Forskjellen ligger i at statisk logikk holder verdier, mens dynamisk logikk trenger måter å holde verdiene. Statisk har drever utgang, mens dynamisk kan være udefinert.

4.8 Dynamisk og statisk effektforbruk

Dynamisk effekt er effekten i switching;

kortslutning

$$\text{opp/ned ladning} = CV_{DD}^2 \cdot f$$

Statisk effekt;

offstrøm (kortslutning drain/source)

tunnelling (gatestrøm gate/source)

pn-overgang lekkasje

Ratioed logikk

GIDL (gate internal drain lekkasje) , DIBL

4.9 Dynamisk vs. statisk vippe/flipflop

Dynamisk vippe trenger:

!tilbakekobling (gjerne to invertere)

trenger høyere frekvens (for å unngå usikre logiske verdier)

avhengig av forandring (klokkesignal)... refresh.

4.10 Teknologitvikling (liten transistorlengde)

Dette vil gi dårligere støymarginer og øke sjansen for latchup.

4.11 Lav forsyningsspenning

Pga. lav VDD vil ikke alltid spenningen være tilstrekkelig til å holde npn- og pnp overgangene ubiasert. Større sjanse for latchup (men krever minst 0.7 V. Under der trengs ikke substratet å kobles til)

4.12 Strøm som funksjon av V_{gs} for ulike V_{ds} .

Høyere drain/source:

mer kvadratisk

høyere

Lavere drain/source:

tidligere lineær

lavere

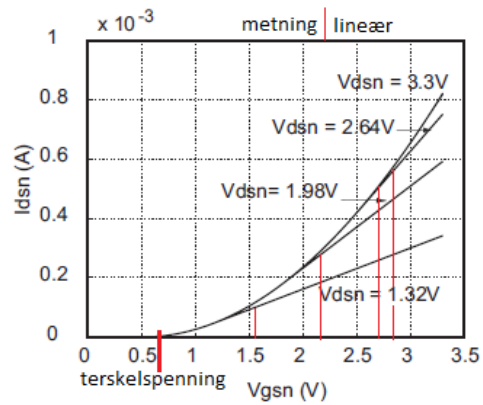


Figure 11: Strømkarakteristikk for nMOS transistor som funksjon av V_{gsn}

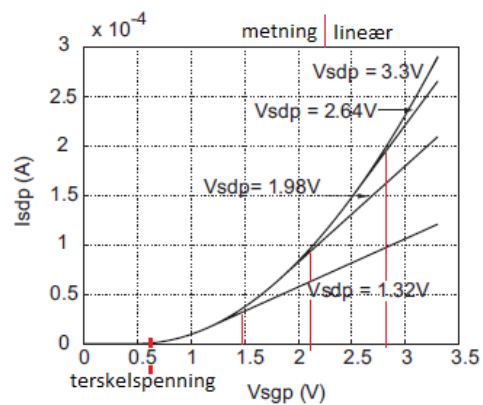


Figure 12: Strømkarakteristikk for pMOS transistor som funksjon av V_{sgp}

4.13 Strøm som funksjon av V_{ds} for ulike V_{gs} .

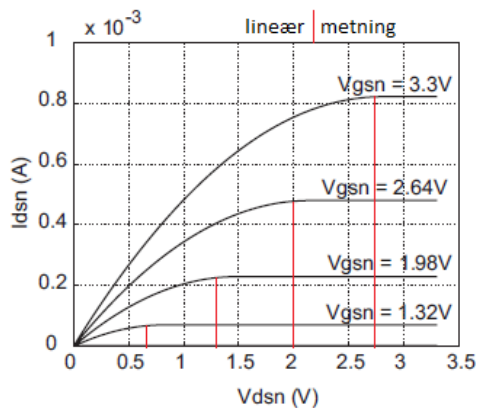


Figure 13: Strømkaraktistikk for nMOS transistor som funksjon av V_{dsn}

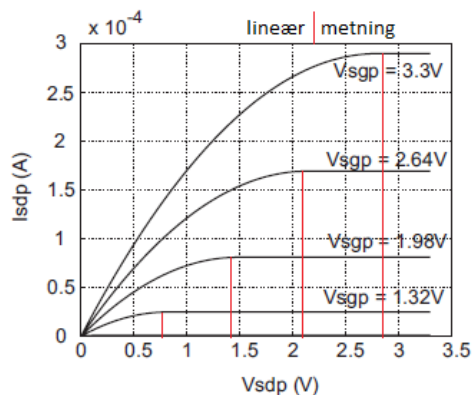


Figure 14: Strømkaraktistikk for pMOS transistor som funksjon av V_{sdp}

4.14 Strøm som funksjon av V_g for ulike V_{sb}

- i) minsk bulk
- ii) Øke bulk
- iii) Øke source (størst utfall)
(body-effect)

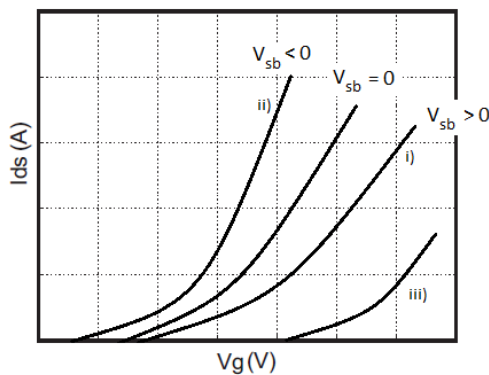


Figure 15: Strømkarakteristikk som funksjon av V_g

4.15 Body effect

Body effect refererer til endringen i transistorens terskelspenning (V_T) som resultat av en spenningsforskjell mellom transistorens source og body. Fordi spenningsforskjellen mellom source og body påvirker V_T , kan body betraktes som en andre port som bidrar til å bestemme hvordan transistoren slår seg av og på. Styrken av body'ens virkning er

Body effecten er = 0 dersom body er koblet direkte til kilde (Vdd/Gnd).

4.16 Crosstalk

Støy mellom ledere som ligger nær hverandre. Dette forekommer spesielt for udrevet og dynamisk logikk.
→ ladning.

4.17 Induktans

→ spenning.